



B3822-01

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭60-136793

⑫ Int.CI.

G 09 G 1/02  
G 06 F 3/14  
15/62

識別記号

厅内整理番号

7923-5C  
7622-5B  
7157-5B

⑬ 公開 昭和60年(1985)7月20日

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 画像処理装置

⑮ 特願 昭58-246986

⑯ 出願 昭58(1983)12月26日

⑰ 発明者 桂 晃洋 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑰ 発明者 前島 英雄 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑰ 発明者 梶原 久志 日立市幸町3丁目2番1号 日立エンジニアリング株式会社内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出願人 日立エンジニアリング 株式会社 日立市幸町3丁目2番1号

⑰ 代理人 弁理士 鵜沼辰之 外1名

明細書

発明の名称 画像処理装置

特許請求の範囲

1. 表示用メモリのアドレスと表示用メモリ中の1組の表示用データ内の画素位置とを指定する情報からなる画素アドレスを順次算出し、前記算出された画素アドレスにおける表示用メモリのアドレス情報から1組の表示用データを読み出し、このように読み出された表示データに対して前記画素アドレスにおける画素位置指定情報を基にデコードして形成した指定画素位置に相当する複数ピクセル位置を指定する情報をもつて、その表示用データの所定の画素のピクセルにのみ描画論理演算し、かかる論理演算結果を再び前記表示用メモリに書き込む演算装置と、この演算装置を所定の順序で制御するマイクロプログラム制御装置とを含んで構成したことを特徴とする画像処理装置。

発明の詳細な説明

【発明の利用分野】

本発明は画像処理装置に係り、特に1画素分の

データの更新処理について、メモリから読み出し、これを更新し、かつメモリに書き込みをする一連の処理をほぼ同時に実行するようにして処理速度を向上させるに好適な画像処理装置に関する。【発明の背景】

従来よりグラフィック処理機能を複数回路をもつて実現した图形処理装置としては、1画素を1ピクセルで表現する单一色の图形表示データを処理するものが知られていた。

第1図は、かかる従来の图形処理装置を多色又は多階調の图形処理に応用した場合の例を示すブロック図である。

第1図において、11は処理装置、12はアドレスデコーダ、13は複数のメモリである。

ここで、1つの処理装置11が outputするアドレス信号A/Dをアドレスデコーダ12でデコードし、複数ある表示用メモリ13の所定のものを選択し、処理装置11からのデータ信号D/Tを、アドレス信号A/Dで指定されたメモリ13の地址に書き込むことになる。

また、所定のメモリ13の所定の書体の記憶内容を書き替える場合は、1つの処理装置11が出力するアドレス信号ADをアドレスデコーダ12でデコードし、複数ある表示用メモリ13の所定のものを選択し、かつ処理装置11で指定した書体内のデータDTを処理装置11内に読み込み、これを更新して、再び同一メモリ13の同一書体に書き込むようにしている。

さらに、1つの処理装置11が出力するアドレス信号ADをアドレスデコーダ12でデコードし、複数ある表示用メモリ13の所定のものを選択し、処理装置11からのアドレス信号ADに基づいて映像信号VD<sub>1</sub>、VD<sub>2</sub>、……、VDを得て、これらを合成し表示しないディスプレイ装置で表示するものである。

しかしながら、このような装置によると、多色(4色)又は多階調(4階調)の処理に際して同一の画像処理を4回繰り返したり、あるいは1ピットの1画素を表示するためにも4回繰り返して画像処理をする必要があつた。

メモリのアドレスと表示用メモリ中の1組の表示用データ内の画素位置などを指定する情報からなる画素アドレスを順次算出し、前記算出された画素アドレスにおける表示用メモリのアドレス情報から表示用メモリ中の1組の表示データを読み出し、このように読み出された表示データに対して、前記画素アドレスにおける画素位置指定情報を基にデコードして形成した指定画素位置に相当する複数ピット位置を指定する情報をもつて、その表示用データの所定の画素のピットにのみ描画論理演算し、かかる論理演算した結果を再び前記表示用メモリに書き込むようにしたことを特徴とするものである。

本発明は、上述のようにしてなるので、2値画像の場合と同一の処理速度をもつて描画し得るものである。

#### 【発明の実施例】

以下、本発明の好適な実施例を図面に基づいて説明するが、その前に本発明の基礎となつた事項について説明する。

このため、2値画像処理に比較して4倍の処理時間が必要となるという不都合があつた。

また、第2図に示すように、4台の表示用メモリ13に対して、それぞれ1台ずつの処理装置11をもつて処理するような方式も提案された。

このような方式によれば、処理時間は2値画像の場合とはほぼ同程度となるものの、英語が大型化複雑化し、加えて中央処理装置の負担が増大してしまうという不都合があつた。

さらに、このような処理を映像回路によつて行なうとする場合には、複数が過大となり実現が困難であるという不都合もあつた。

#### 【発明の目的】

本発明は上記不都合な問題点に着目してなされたものであり、その目的は、1画素が複数ピットで表現される多色あるいは多階調の場合にも2値画像の場合とはほぼ同一の処理速度で描画し得る图形処理装置を提供することにある。

#### 【発明の概要】

上記目的を達成するため、本発明は、表示用

本発明の基礎となつた事項を以下に説明する。

本発明は次のようにしたものである。

まず、第一に、1画素を、(a)1ピットで表現するもの、(b)2ピットで表現するもの、(c)4ピットで表現するもの、(d)8ピットで表現するもの、(e)16ピットで表現するもの、というように5通りの細分モードを選択できるようにしたこと(第9図参照)。

第二に、画素アドレスを採用したこと。しかして、この画素アドレスは、表示用メモリのアドレスを指定するアドレス情報WADと、そのアドレスで指定された1組内のどの位置かを指定する1組内アドレス情報WADとから構成されていること(第10図参照)。

第三に、画素アドレス中のアドレス情報で指定された表示用メモリアドレスにおける1組の表示用データを表示用メモリから読み出し、つぎに画素アドレス中の1組内アドレス情報で指定された表示用データ中の所定のピット部分のみを書き替えし、それを再び表示用メモリの当該アドレス部

に書き込むようにしたものであり、1画素分の複数ビットデータを同時処理し得るようにしたことにある。

次に本発明の実施例について説明する。

また、以下では同一の符号は同一の対象を示すものとする。

第3図は本発明に係る图形処理装置が適用される実施例を示すブロック図である。

第3図において、图形処理装置は、表示用メモリ13内の表示データを書き込み、書き及び読み出し制御する演算装置30と、演算装置30を一定の順序で制御する制御装置20とから構成されている。また、图形処理装置により表示用メモリ13から読み出された表示用データが表示変換装置40によって映像信号にされて表示装置50に表示される。

上記演算装置30は、表示用メモリ13のアドレスと表示用メモリ13中の1語の表示データ内の画素位置とを指定する情報からなる画素アドレスを順次算出し、前記算出された画素アドレスに

おける表示用メモリ13のアドレス情報から表示用メモリ13中の1語の表示データを読み出し、このように読み出された表示データに対して、前記画素アドレスにおける画素位置指定情報と共にコードして形成した指定画素位置に相当する複数ビット位置を指定する情報をもつて、その表示データの所定の画素のビットにのみ描画論理出し、かかる論理演算した結果を再び前記表示用メモリ13に書き込むようにしたものである。

尚、60は外部計算機であり、この外貼計算機60からの制御データに従つて图形処理装置が動作するものである。

第4図はこの発明に係る图形処理装置の実施例を示すブロック図である。

同図において、制御装置20は、マイクロプログラムメモリ100と、マイクロプログラムアドレスレジスタ110と、リターンアドレスレジスタ120と、マイクロ命令レジスタ130と、マイクロ命令コード200と、フラグレジスタ210と、バターンメモリ220と、命令制御レ

ジスタ230とを含んで構成されている。

また、演算装置30は、演算制御装置300と、(First-In-First-Out)メモリ400とから構成されている。

各構成要素は通常のデジタル制御で用いられるものであり、特に説明を要しない。ただし、この実施例によれば、演算制御装置300は、論理アドレス演算部(Aユニット)310と、物理アドレス演算部(Bユニット)320と、カラーデータ演算部(Cユニット)330とに分割されている。

上記Aユニット310では主として描画アルゴリズムに従つて描画点が画面中のどこにあるかを演算出し、Bユニット320では表示用メモリの必要なアドレスを演算し、Cユニット330は表示用メモリに書き込むカラーデータを算出するものである。

第5図には、1画素を4ビットで表示する表示装置の構成例が示されており、第4図の图形処理装置で指定された表示用データが表示装置50で

表示される構成が示されている。

第5図において、图形処理装置(第4図)からのアドレスAD指令に基づいて、表示用メモリ13から読み出された表示用データDTのD<sub>0</sub>、D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>が表示変換装置40内の4ビットの並列-直列変換器410に供給される。この変換器410から映像信号AD0が得られる。同様にして、表示用データDTのうちのD<sub>4</sub>、D<sub>5</sub>、D<sub>6</sub>、D<sub>7</sub>を表示変換装置40内の並列-直列変換器420に供給し、この変換器420から映像信号AD1が得られる。表示用データDTのうちのD<sub>8</sub>、D<sub>9</sub>、D<sub>10</sub>、D<sub>11</sub>を表示変換装置40内の並列-直列変換器430に供給し、この変換器430から映像信号AD2が得られる。また、表示用データDTのうちのD<sub>12</sub>、D<sub>13</sub>、D<sub>14</sub>、D<sub>15</sub>を表示変換装置40内の並列-直列変換器440に供給し、この変換器440から映像信号AD3が得られる。映像信号AD0～AD3は表示変換装置40を構成するビデオインターフェース回路450に送られ、色変換やDA変換等の処理を経

て表示装置500で表示される。

次に、演算制御装置300の各ユニットの具体的構成を第6図乃至第8図を参照しながら説明する。

第6図においてAユニットである論理アドレス演算部310は、第4図に示すようであり、 FIFOバッファ(FBUP)3101と汎用レジスタ3102と、領域管理レジスタ3103及び3105と、論理判定比較器3104と、片了点レジスタ3106と、終了判定比較器3107と、ソースラフナ3108及び3109と、算術論理演算器(ALU)3110と、ダイステイネーションラフナ(DLA)3111と、バススイッチ3112と、読み出しバス(UBA, UBB)3113及び3114と、書き込みバス(WBA)3115とを備えている。

第7図において、Bユニットである物理アドレス演算部320は、ダイステイネーションラフナ(DLB)3201と、算術演算器(A)3202と、ソースラフナ3203及び3204と、オフセットレジスタ3205と、画面幅レジスタ3206と、

コマンドレジスタ3207と、汎用レジスタ3208と、読み出しバス(UBB)3209と、書き込みバス(WBB)3210とを備えている。尚、汎用レジスタ3208は、画素単位コマンドの現在アドレスレジスタ(DPH, DPL)と、画素単位コマンドのアドレスレジスタ(RWPH, RWPL)と、作業用レジスタ(TH, TL)とを備えている。

さらK、第8図において、Cユニットであるカラーデータ演算部330は、パレルシフタ3301と、カラーレジスタ3302と、マスクレジスタ3303と、カラー比較器3304と、論理演算器3305と、書き込みデータバッファ3306と、バターンRAMバッファ3307と、バターンカウント3308と、バターン制御レジスタ3309と、読み出しデータバッファ3310と、メモリアドレスレジスタ3311と、メモリ出力バス3312と、メモリ入力バス3313とを備えている。尚マスクレジスタ3303は、レジスタ(CM8K)と、レジスタ(OM8K)とからなる。

上述のように構成された実施例の作用を説明す

る。

まず、各要素の基本的動作を説明する。中央処理装置など他の装置から送られてくる命令やパラメータ等の制御データCDTは、一方でメモリ400に書き込まれ、他方で命令制御レジスタ230に直接書き込まれる。

レジスタ230は、各種のグラフィックビットモードを記憶させたものであり、後述するように、この実施例によれば5つの画素モードのうちから1つを選択できるようになっている。この選択は利用データCDTで行なうことができる。

メモリ400は、いわゆる“First-In, First-Out”(以下も FIFOとする)のメモリであり、該メモリ400に記憶された命令を演算制御装置300により読み出し該演算制御装置300内のレジスタに格納する。また、この命令情報の一部CIDはアドレスレジスタ110に転送される。

アドレスレジスタ110はマイクロプログラムメモリ100のアドレスを管理し、このアドレス

はクロックに同期して更新される。該アドレスレジスタ110から出力されるアドレスに応じてマイクロプログラムメモリ100から第13図に示すようなマイクロ命令を読み出す。メモリ100から読み出された命令は、第13図に示すよう48ビットからなり、+0～+7通りの制御モードが選択できるようになっている。しかしして、該命令はレジスタ130に一時記憶され、レジスタ230の選択したモードに従つて動作するテコーザ200を介して、所定の制御信号CCSを発生し演算制御装置300の各部を制御する。ここで、第13図のマイクロ命令の各フィールドの機能を説明する。

第13図において、「R11」はUBAバス3113に接続されるレジスタを指定する命令である。「RV」はVBAバス3114に接続されるレジスタを指定する命令である。「RW」はWBAバス3115上のデータが書き込まれるレジスタを指定する命令である。「PUNCA」はAユニットの算出論理演算器3110の演算を指定する命令であ

る。「SFT」はリースラブ3108に付加されたシフト(SFTA)のシフトモードを指定する命令である。「ADF-L」はマイクロプログラムアドレスレジスタ110に戻される次アドレスの下位4ビットを指定する命令である。「AC」はマイクロ命令の次アドレスを制御する命令である。「ADF-H」はマイクロプログラムアドレスレジスタ110に戻される次アドレスの上位6ビットを指定する命令である。また、#4～#7の各マイクロ命令ではアドレスの上位6ビットは変更できない。「FUNCB」はBユニットの算術演算器3202の演算モードを指定する命令である。「ECD」は演算の実行条件を指定する命令である。「BCD」は分岐の条件を指定する命令である。「FLAG」はフラグレジスタ210へのフラグの反映を指定する命令である。「V」は表示用メモリ13へのアクセス可否をテストするかどうかを指定する命令である。「FIFO」は FIFO400への読み書きを制御する命令である。「LITERAL」は8ビットのリテラルデータを指

定する命令である。「LC」はリテラルデータの生成モードを指定する命令である。「FP」は各部の特殊フリンプフロップのセット、リセットを制御する命令である。「S」は符号フラグの選択を指定する命令である。「MC」は表示用メモリ13のリード・ライトを制御する命令である。「DR」はバターンRAMの走査を制御する命令である。「BC」はリユニットの算術演算器3202への入力経路を制御する命令である。「LB」はBユニットの読み出し、書き込みレジスターを選択する命令である。

マイクロ命令は上述の命令を有しており、これにより制御装置20が演算装置30を制御する。

尚、リターンアドレスレジスタ120はサブルーチンの戻り地址を記憶する。フラグレジスタ210は極々の条件フラグを記憶する。バターンメモリ220は图形処理に用いる基本バターンを記憶する。

それでは、画像データのメモリ格納する動作について説明するが、その前に本実施例で用いる各

データのビットレイアウトについて説明する。

まず、グラフィックモードについて説明する。

本実施例では、コマンド制御レジスタ230に記憶されたグラフィックビットモード(OBM)の指定に従つて5種類の異なる動作モードを選択できる。

第9図には各モードにおける表示用メモリの1面のビット構成が示されている。

(a). 1ビット/画素モード(OBM="000")

これは、白黒画像のよう1面を1ビットで表現する場合に用いるモードであり、表示用メモリの1面には連続する16画素のデータが格納されることになる。

(b). 2ビット/画素モード(OBM="001")

これは、1面を2ビットで表現するものであり、4色または4階調までの表示に用いることができる。したがつて、表示用メモリ13の1面には連続する8画素のデータが格納できることになる。

(c). 4ビット/画素モード(OBM="010")

これは、1面を4ビットで表現するものであり、表示用メモリの1面のデータには連続する4画素のデータが格納できることになる。

(d). 8ビット/画素モード(OBM="011")

これは、1面を8ビットで表現するものであり、表示用メモリの1面には2画素分のデータが格納することができる。

(e). 16ビット/画素モード(OBM="100")

これは、1面を16ビットで表現するものであり、表示用メモリの1面が1画素データに対応することになる。

次に、画素アドレスについて説明する。

第10図は、第9図の各モードに対応する画素アドレスを説明するものである。物理アドレス演算部のレジスタ3208ではメモリアドレスの下位4ビットを付加したビットアドレス(物理アドレス)WADを管理している。下位4ビットの情報WADは、1面内の画素位置を指定するために用いられ、各ビット/画素モードに応じて動作する。図において、"\*"印は演算に無関係なビット

トを示している。

第11図は、前記(c)項の「4ビットノ画面モード」を例として表示用メモリの空間的な配置を示したものである。メモリアドレスけぬ(W)のメモリマップに示すようKニアアドレスとして付けられており、これが図10に示すよう2次元画像として表示される。画面の横軸は第7図の画面幅レジスタ(MW)3206に記憶されており、このMWは、画面の横幅が何ビットで構成されているかを示している。したがつて、4ビットノ画面モードの場合では水平方向に  $\frac{MW}{4}$  画素が表示されることとなる。また、4ビットで1画素を表示しているので1画のデータの場合は、第11図10で示すようKに水平方向に連続する4画素分のデータとして表示される。第7図のオフセット発生回路2001ではオフセット値として“4”を発生しオフセットレジスタに記憶されている。したがつて、物理アドレスを水平方向に1画素分移動するにねつオフセット値を加減算すればよいことがわかる。また、垂直方向に1画素分移動するにはレジスタ(MW)

3206の値を加減算すればよい。

以上のように本実施例で用いるデータのビットレイアウトの例を説明した。

次に、これらデータに用いて画像データを表示用メモリ13に格納する動作を説明する。

外部の中央処理装置から送られてくる命令やパラメータ等の制御データCDTは、一方でメモリ400K書き込まれると共に、他方では命令制御レジスタ230に書き込まれる。

ここで、命令制御レジスタ230に記憶され指定されたグラフィックビットモード(OBM)が、例えば4ビットノ1画素モード(OBM=010)の場合について説明することにする。

命令制御レジスタ230によってグラフィックビットモード(OBM)が4ビットノ1画素に指定されると、以後表示用メモリ13内の1画のデータは第9図に示すようK4ビット毎に分割されたものとして扱われる事となる。

外部の中央処理装置からの命令やパラメータ等CDTは、メモリ400K次々と書きられる。以

メモリ400K記憶されたデータをAユニット310のPIPOバスア3101K取り込まれる。以下のAユニット310の動作を説明する。このPIPOバスア3101K取り込まれたデータは内蔵バス3113との間でやり取りをし、それぞれ各機能レジスタに記憶される。これはバスからリースラッシュ3109を介して論理演算器3110に入力され所定の操作をされてその結果が一時ディステネーションラッシュ(DLA)3111Kに格納される。この結果は、汎用レジスタ3102Kに記憶される。この汎用レジスタ3102Kはパラメータのメータ座標空間での現在の座標点を記憶している。

汎用レジスタ3102にある現在のX-Y座標が出しバス3113、3114のいずれかから読み出されて、それが算出幅演算器(ALU)3110に入力される。この演算器(ALU)3110にて演算された結果は、ディステネーションラッシュ(DLA)3111、書き込みバス3115を介して汎用レジスタ3102Kに記憶される。これら一連の動作は第13図に示すマイクロプログラムの命

令K従つて実行されることとなる。

また、書き込みバス3115上のデータは領域管理レジスタ3103及び3105K入力される。かかる領域管理レジスタ3103及び3105K入力されたデータは領域判定比較器3104で比較される。これらデータから比較器3104では、X軸の最小値か又はX軸最大値かが、Y軸の最小値又はY軸の最大値かが判定され、その判定結果はフラグレジスタ210K送られる。

さらに、書き込みバス3115のデータは終了点レジスタ3106Kに記憶され、これを介して終了判定比較器3107K入力される。終了判定比較器3107では、あらかじめこの比較器3107に記憶されたX軸及びY軸の終了点と、上記データとを比較し、その終了点と上記データとが一致しているか否かの検出を行なう。その比較検出結果はフラグレジスタ210K反映される。

上述したように比較器3104及び3107、演算器3110の結果はフラグレジスタ210Kに集められて、マイクロ命令データ200K入力され、

マイクロプログラムの流れを変えることによって用いられることがある。

- 以上のようにAユニット310は動作して、パラメータで与えられたX-Y座標値を解読して、それぞれ例えば線を引くとか、円を描くとかの命令解釈をするのである。

次に、Bユニット320の動作について説明する。

Aユニット310で解釈されたデータはレジスタ3208に入力される。レジスタ3208のデータが読み出しバス3209及びリースラッシュ3204を介して演算器(ALL)3202に入力される。この演算器3202で演算された結果はディスティネーションランクナ3201で一時記憶されて、各バス3113, 3114, 3209及び3210に出力できる。ここでは、バス3210を経由してはレジスタ3208に書き込まれる。且レジスタ3208は、16ビット1ワードのものが2本で1語構成になつており、合計32ビット1語で物理アドレスを記憶する。且レジスタ3208は前述32ビットのレジ

スタが3種あり、3種のデータを記憶することができる。すなわち、且レジスタ3208のレジスタDPが現在の描画点X-Yに対応する実際の描画点の物理アドレスを記憶する。しかし、Aユニット310のレジスタ3102のXY座標が移動すると、これに對応してレジスタDPの物理アドレスが移動する。

物理アドレスを算出することは、X軸方向については元の物理アドレスに可変設定可能な所定の値(オフセット値×移動したい点までの値)を加減算すればよく、またY軸方向は所定の値を加減算すればよい。すなわち、且レジスタ2001によつて指定された画像モードに基づいてオフセットレジスタ3205には、画面アドレスを水平方向に1画素分移動する際の定数が設定される。この定数とデータとを演算器3202で算出することにより水平方向の移動物理アドレスが算出される。例えば、山モードが「1ビット/山モード」のときは定数は1でよく、1画素移動させると1ビットずれるだけである。これが「4ビット/山

モード」のときは定数は4となり、1画素移動させると4ビット分ずれることとなる。

また、ここで山モード1画素分移動させるためには、山面版レジスタ3206に設定された定数を用いて演算すれば、1画素分の移動可能となる。もちろん例えば、4画素分移動させるには、4ビット分を加えればその分移動することとなる。

そして、以上のようにBユニット320は動作して上記Aユニット310で決定されるX-Y座標に対応して実際の物理アドレスを扱るのである。

最後に、Cユニット330の動作について説明する。

Cユニット330は第11図に示す表示用メモリ13に対して山カババス3312と入力バス3313とで接続されている。出力バス3312はCユニット330からまずアドレス情報ADが出力され、次いでデータリタがに出力される。

まず、アドレス情報ADはBユニット320を経由し、かつUBBバス3209を介してメモリアドレスレジスタ3311に書き込まれ、メモリアドレ

スレジスタ3311の(MARL)及び(MARH)に記憶される。このレジスタ3311に記憶されたメモリアドレスが出力バス3312を介して表示用メモリ13に送られると、表示用メモリ13から入力バス3313を介してはメモリ13の指定された1語の表示用データリタが読み出される。読み出された表示用データリタは読み出しデータバッファ3310に記憶される。ここで表示用データリタが图形を描く場合は演算器3305に入力される。

次に、マスクレジスタ3303からのマスク情報(1語のうちどのビットをマスクするかを指定する情報)を演算器3305に入力する。尚、マスク情報は、WBBバス3201から直接書き込まれるレジスタ(CMSK)、または1語内のアドレスデコード2002によつて生成されるデータを記憶するレジスタ(GMSK)から送出される。

加えて、色情報をカラー化レジスタ3302で選択して演算器3305に与える。そして、演算器3305では、上記データリタ、マスク情報及び色情報に基づいて論理演算して、その演算結果を書

込みレジスタ3306に出力する。尚、色情報及びパターン情報は、パターンカウンタ3308及び描画パターンレジスタ3309で形成されたアドレス信号によって指定されることにより、パターンRAM220からパターンRAMバッファ3307に記憶される。これをカラーレジスタ3300に取り込んだり、または直接論理回路3305に入力する。

このようKCCユニット330は動作して色情報Kに対して実現処理することとなる。

次に描画演算の手法を説明する。第12図は4ビット/画素モードの場合の1画素の描画演算の流れを模式的に示したものである。

描画パターンレジスタ3309及びパターンレジスタ3308で指定されたアドレスによりパターンRAM220から描画カラーデータ(C0, C1)が読み出され、パターンRAMバッファ3307を介してカラーレジスタ3302に記憶させる。また、表示用メモリ13から読み出したデータ(C0, C1, C2, C3)は読み出しデータバッファ3310に記憶される。これにカラーデータ及びデ

ータなどは、それぞれ4ビットの色情報あるいは階調情報である。パターンメモリ220からは1ビットのパターン情報が読み出されており、そのデータの“0”, “1”に応じてカラーレジスタ0またはカラーレジスタ1が選択され論理演算回路3305に供給される。メモリアドレスレジスタ3311に記憶された物理アドレス情報の下位4ビットは00では“10\*\*”となつており、この情報は1枠内アドレスコード2002を経てマスクレジスタ3303でマスク情報のMSKを生成する。一方、メモリアドレスレジスタ3311の下位4ビットを除く上位フィールドは表示用メモリアドレスとして出力され表示用メモリ13の1語が読み出される。論理演算回路3305ではマスクレジスタ3303のMSKの“1”的ビットで指定された部分のみ論理演算が施され書き込みデータCYを経て書き込みバッファ3306に記憶させる。ここで、前段回路3305の論理演算の機能としては、カラーレジスタの値への書き換え、論理演算(AND, OR, EOR)、条件付描画(既出しカラーが所

定の条件を満足する場合のみ描画)などがある。4ビット/画素モードが他のモードの場合には発生されるDMSK情報が異なる場合で同様の演算が施される。しかして、尚且アドレス情報A&びデータレジスタ3311の順Kアドレスレジスタ3311及びレジスタ3306から出力バス3312に送出され表示用メモリ13の所定のアドレスに書き込まれる。

このように本実施例によれば、1回の読み出し、更新・書き込み処理によつて1度に1画素分のデータを更新できるため、処理効率のよい描画が可能となる。また、16ビット/画素モード以外の場合にも、複数画素のデータを16ビット長に詰め込んで処理するため、メモリの使用効率が良く、他の映像と表示用メモリ間のデータ転送効率も良い。さらに、本実施例では画素当たりのビット長の異なる5種類に対する動作モードを設けていたため汎用性の高い構成となつてゐる。

#### 【発明の効果】

以上詳細に説明したように、本発明によれば、1回の読み出し、更新・書き込み処理によつて1画素

の全データを実現できるので、描画処理を高速化できるという効果がある。

#### 図面の簡単な説明

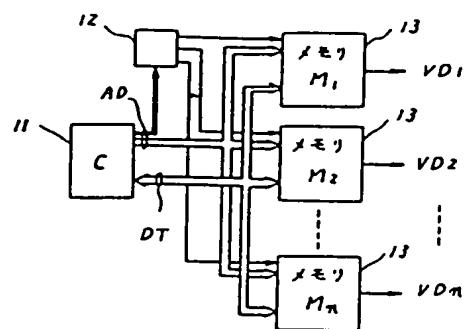
第1図及び第2図は従来の图形処理装置を示すブロック図、第3図は本発明に係る图形処理装置が適用される装置を示すブロック図、第4図は本発明に係る图形処理装置の実施例を示すブロック図、第5図は同実施例が適用される表示装置を示すブロック図、第6図乃至第8図は第4図の图形処理装置の詳細を示すブロック図、第9図は同実施例で用いる表示用データのピントレイアウトを示す説明図、第10図は同実施例で用いる画素アドレスのピントレイアウトを示す説明図、第11図はメモリと表示装置間の構成を示すブロック図、第12図は同実施例の描画演算動作を説明するため示す説明図、第13図は同実施例で用いるマクロ命令の形式を示す説明図である。

20…制御部、30…画素装置、300…演算制御装置、310…論理アドレス演算部、320…物理アドレス演算部、330…カラーデータ演

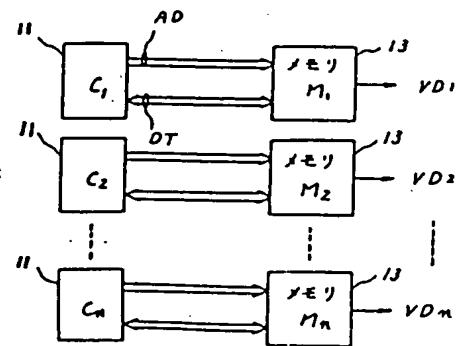
実施、2002…1組内アドレスデコーダ。

代理人 弁護士 鶴沼成之

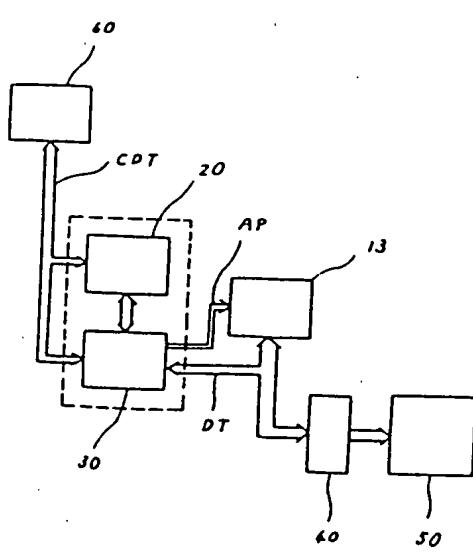
第1図



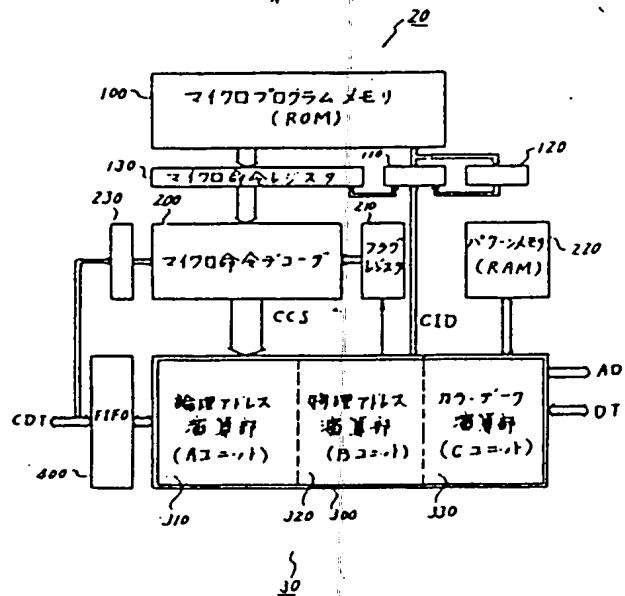
第2図



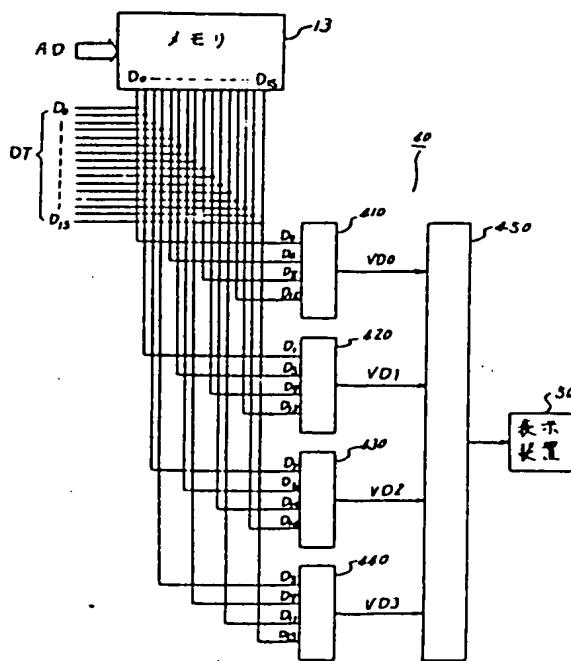
第3図



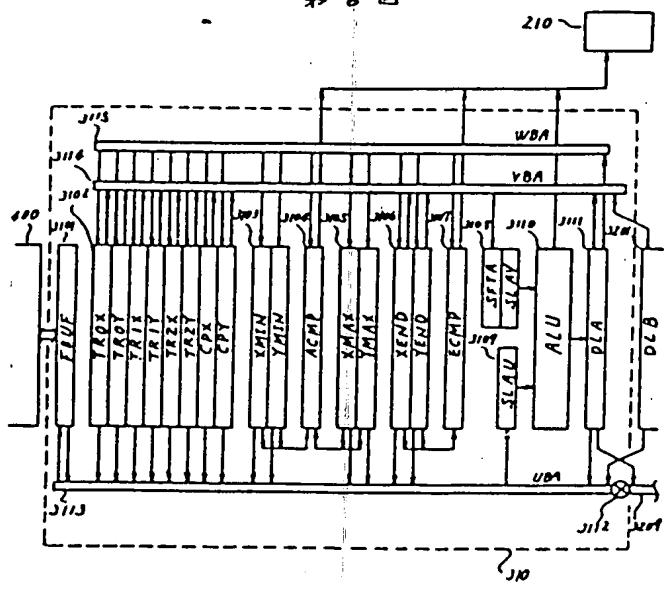
第 4 7



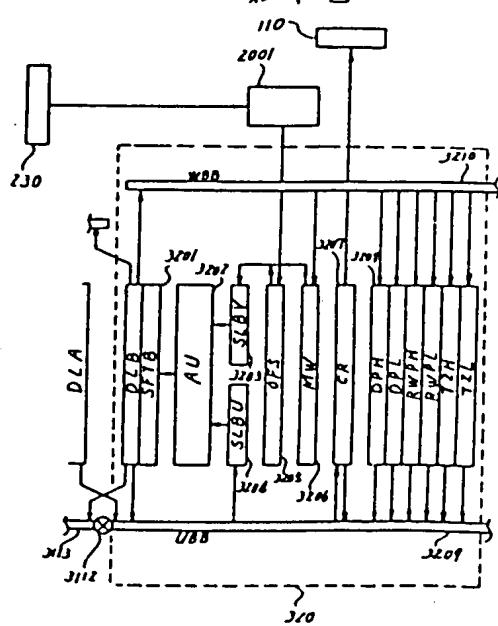
第 5 



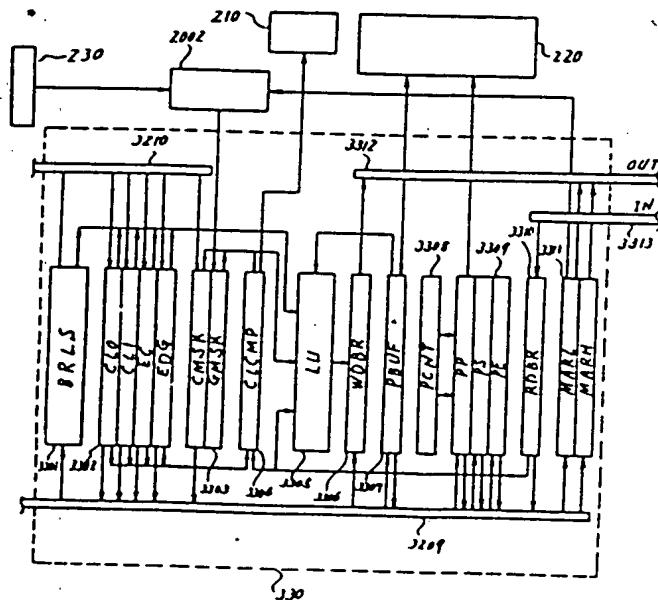
第四節



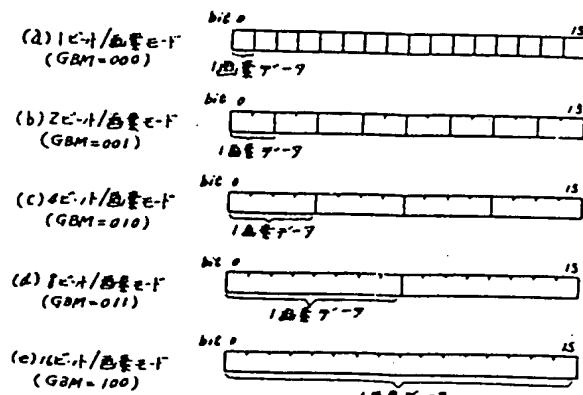
### 第 7 四



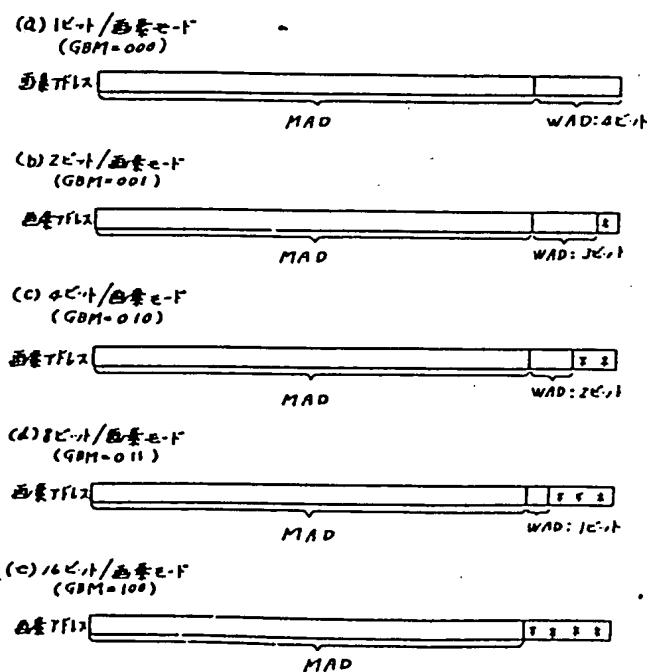
第 8 図



第 9 図



第 10 図



第 11 図

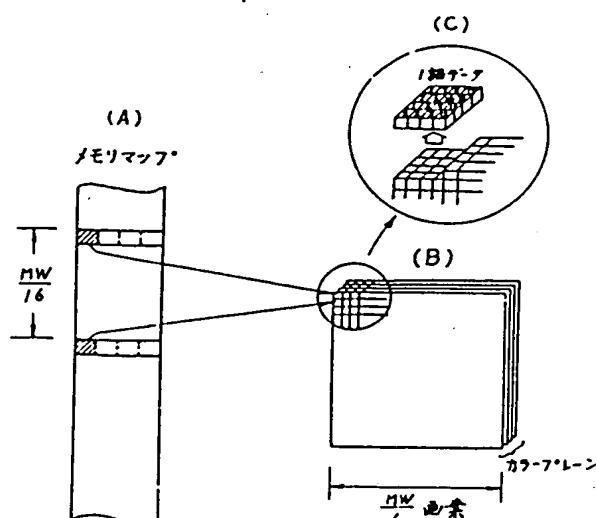


図 12

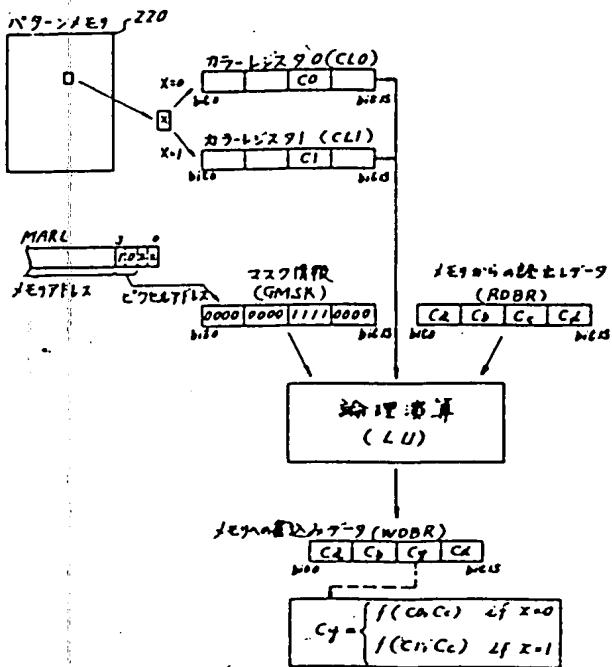


図 13

レジスター	初期値	操作	最終値	操作	最終値	操作	最終値	操作	最終値	操作	最終値	操作	最終値	操作	最終値	操作	最終値	操作	最終値
0 FIFO	0000	RW/RW	0000																
1 リテラル	0001	RW	0001																
2 リテラル	0010	RW/RU	0010																
3 リテラル	0011	RW	0011																
4 条件命令制御	0100	RW/RU	0100																
5 条件命令制御	0101	RW	0101																
6 各種分岐制御	0110	RW/RU	0110																
7 各種分岐制御	0111	RW	0111																